

調査・研究報告の要旨

半導体プロセスの微細化に伴い、電源ノイズ等の動作環境変動、経年劣化や製造ばらつきによる回路性能のばらつきが顕在化している。従来設計は、チップ製造時に一定の動作速度/電圧マージンを設けていた。しかし、近年の性能ばらつき量は非常に大きく、チップの正常動作には膨大なマージン量を必要とする。

本研究では、設計時のマージン量を削減する手法として、適応的速度制御(図 1)に着目する。適応的速度制御は、個々の回路が遅延故障テスト機構を搭載し、適応的に動作電圧を制御する手法である。本研究では、適応的速度制御の設計手法の確立を目指す。本調査では、適応的速度制御の性能を引き出すための、制御対象回路の設計に取り組んだ。

本研究では、制御対象回路にクリティカルパス・アイソレーション (CPI, 図 2) を適用する。CPI は、本質的な CP 以外のセットアップ余裕を増やす設計手法である。これにより、故障確率、故障パス数を削減し、速度制御機構で観測すべき箇所の絞込みにも貢献できると考えられる。

本研究では、整数線形計画法を用いて、ゲートの故障率の総和を最大限削減し得る FF 組を選択する CPI 手法を提案した。CPI の効果を実験で評価したところ、Vdd の 25% の削減効果を実験的に確認した。同一の動作電圧で動作させた場合、MTTF (平均故障発生時間) を 14 桁以上向上させた。また、遅延故障の発生するパス数、FF 数をそれぞれ 91%, 87% 削減した。本研究成果については、国際学会 ICCAD, 国内学会 DA シンポジウムにて報告した。



図 1：適応的速度制御の動作の推移

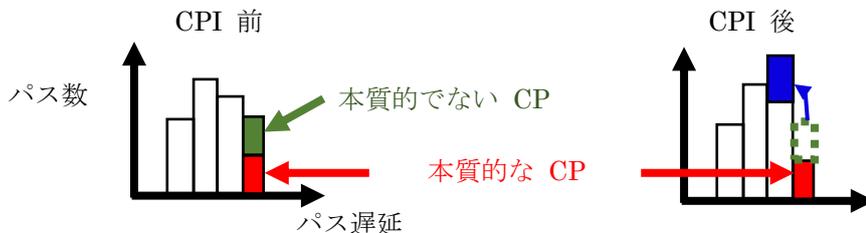


図 2：CPI 前後のパス遅延分布