

調査・研究報告の要旨

1. 調査・研究の背景

電子機器のほぼ全てには集積回路が使われており、それを構成する電界効果トランジスタは、いかなる条件でも動作するように信頼性が求められる。しかし、近年の微細なトランジスタでは極薄のゲート酸化膜や、多層配線により Plasma Induced Damage (PID) と呼ばれる配線加工時のプラズマ電荷による酸化膜の損傷

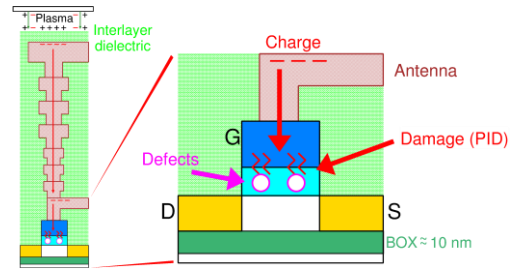


図1: PIDによる酸化膜の損傷

が問題となっている(図1)。PIDにより特性が悪化し、動作時には経年劣化が加速される。最悪の場合、素子が破壊されて動作しなくなることがある。PIDを防ぐには配線面積を小さくすればいいが、大規模回路では配線が長くなるため難しく、特に、設計ルールで要求される配線面積の上限値を守るのは設計者にとって大きな負担となっている。また、近年のFDSOIと呼ばれる埋め込み酸化膜を有する構造ではPIDの評価が十分になされていない。

2. 目的・方法

本調査・研究ではルール上限値付近でのPIDによる初期特性および経年劣化の評価を行った。PID評価用のチップを実際に試作し、実測することにより評価した。チップにはFDSOI構造を用いた発振器を搭載し、その周波数がどの程度減少しているかを確認した。

3. 研究成果

実測結果より、設計ルールの上限値を超えてもすぐにトランジスタが壊れることはなかった。しかし、図2に示すように、上限値を超えると初期特性が劣化した。周波数は上限値の配線面積を倍にすると1.9%減少した。PIDにより経年劣化が加速されることも測定によって明らかにした(図3)。これは上限値以内であっても加速されるため、設計ルールを守っていてもPIDの影響を考慮する必要がある。しかし、図4のように経年劣化は初期周波数と相関があり、PIDの影響は多岐にわたることがわかった。PIDの影響を明らかにすることで、設計する際、事前にどれぐらい特性が劣化するかを予測でき、信頼性の高い製品を作る手助けとなる。本調査・研究内容を2016年10月にBurlingame, CA, USAで開催されたS3S(SOI-3D-Subthreshold) Conferenceにて発表した。自身の研究について様々な意見をいただき、さらに、関連する研究や最新の動向などの発表を聞くことができ、有用なものとなった。このS3Sの出張費に助成金を使わせていただいた。

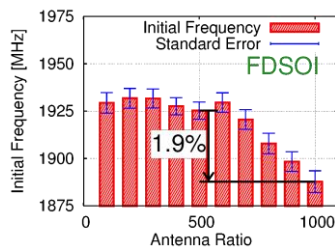


図2: PIDによる初期特性劣化

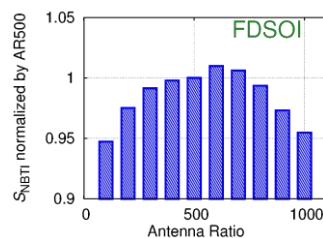


図3: 経年劣化のPIDによる加速

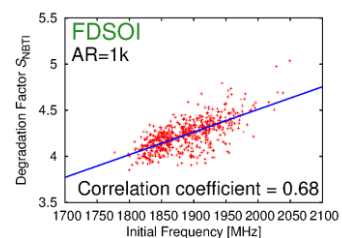


図4: 経年劣化の初期周波数依存性